

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-23144
(P2003-23144A)

(43) 公開日 平成15年1月24日 (2003.1.24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
	29/786		Z 5 C 0 2 4
H 0 4 N 5/335		H 0 1 L 27/14	C 5 F 1 1 0
		29/78	6 1 3 Z

審査請求 未請求 請求項の数27 O L (全 22 頁)

(21) 出願番号 特願2001-206998 (P2001-206998)

(22) 出願日 平成13年7月6日 (2001.7.6)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

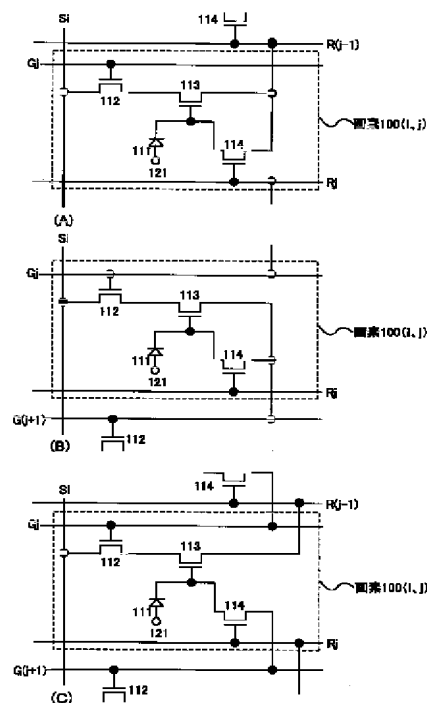
Fターム(参考) 4M118 AB01 BA05 CA05 CB06 FB03
FB09 FB13 FB16 FB25
5C024 AX01 CX41 GY31 HX02
5F110 AA16 AA30 BB02 BB04 BB10
CC02 DD11 HM15 NN03

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】新しい構成を有する画素を提供することによって、マスク数及び工程数を増加させることなく、高い開口率を実現した半導体装置を提供することを課題とする。

【解決手段】本発明の半導体装置を用いることにより、電源供給線が必要なくなるため、従来の半導体装置に比べて、パネル作成プロセスにおけるマスク枚数や工程数の増加を伴うことなく、より高い開口率を実現することが出来る。また、各画素が高い開口率をもつことにより、光の利用効率が向上し、半導体装置の省電力化および小型化が達成できる。



【特許請求の範囲】

【請求項1】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は光電変換素子と、複数のトランジスタと、ゲート信号線と、リセット信号線とを有し、

複数の前記ゲート信号線、又は複数の前記リセット信号線のいずれか一本により前記光電変換素子に電流が供給されることを特徴とする半導体装置。

【請求項2】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は光電変換素子と、複数のトランジスタと、コンデンサと、ゲート信号線と、リセット信号線とを有し、

複数の前記ゲート信号線、又は複数の前記リセット信号線のいずれか一本により前記光電変換素子に電流が供給されることを特徴とする半導体装置。

【請求項3】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は光電変換素子と、複数のトランジスタと、ゲート信号線と、リセット信号線と、転送信号線とを有し、

複数の前記ゲート信号線、又は複数の前記リセット信号線、又は前記転送信号線のいずれか一本により前記光電変換素子に電流が供給されることを特徴とする半導体装置。

【請求項4】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は光電変換素子と、複数のトランジスタと、ゲート信号線と、リセット信号線と、転送信号線と、フォトゲート信号線とを有し、

複数の前記ゲート信号線のいずれか一本、又は複数の前記リセット信号線、又は複数の前記転送信号線、又は複数の前記フォトゲート信号線のいずれか一本により前記光電変換素子に電流が供給されることを特徴とする半導体装置。

【請求項5】請求項1において、前記複数のトランジスタは、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタであることを特徴とする半導体装置。

【請求項6】請求項2において、前記複数のトランジスタは、増幅用トランジスタと、リセット用トランジスタであることを特徴とする半導体装置。

【請求項7】請求項3又は請求項4において、前記複数のトランジスタは、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、転送用トランジスタであることを特徴とする半導体装置。

【請求項8】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は、光電変換素子と、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、ゲート信号線と、リセット信号線とを有し、前記増幅用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、又は複数の前記リセット信号線のいずれか一本に接続され、

前記リセット用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、又は複数の前記リセット信号線のいずれか一本に接続されていることを特徴とする半導体装置。

【請求項9】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は、光電変換素子と、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、ゲート信号線と、リセット信号線とを有し、

前記スイッチング用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、又は複数の前記リセット信号線のいずれか一本に接続され、

前記リセット用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、又は複数の前記リセット信号線のいずれか一本に接続されていることを特徴とする半導体装置。

【請求項10】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は、光電変換素子と、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、転送用トランジスタと、ゲート信号線と、リセット信号線と、転送信号線とを有し、前記増幅用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、又は複数の前記転送信号線のいずれか一本に接続され、

前記リセット用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、又は複数の前記転送信号線のいずれか一本に接続されていることを特徴とする半導体装置。

【請求項11】複数の画素が設けられた画素部を有する半導体装置において、

前記画素は、光電変換素子と、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、転送用トランジスタと、ゲート信号線と、リセット信号線と、転送信号線とを有し、

前記スイッチング用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、又は複数の前記転送信号線のいずれか一本に接続され、

前記リセット用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、又は複数の前記転送信号線のいずれか一本に接続されていることを特徴とする半導体装置。

【請求項12】複数の画素が設けられた画素部を有する半導体装置において、

前記複数の画素は、フォトゲートと、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、転送用トランジスタと、ゲート信号線と、リセット信号線と、転送信号線と、フォトゲート信号線とを有し、

前記増幅用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、複数の前記転送信号線、又は複数の前記フォトゲート信号線のいずれか一本に接続され、

前記リセット用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、複数の前記転送信号線、又は複数の前記フォトゲート信号線のいずれか一本に接続されていることを特徴とする半導体装置。

【請求項13】複数の画素が設けられた画素部を有する半導体装置において、

前記複数の画素は、フォトゲートと、スイッチング用トランジスタと、増幅用トランジスタと、リセット用トランジスタと、転送用トランジスタと、ゲート信号線と、リセット信号線と、転送信号線と、フォトゲート信号線とを有し、

前記スイッチング用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、複数の前記転送信号線、又は複数の前記フォトゲート信号線のいずれか一本に接続され、

前記リセット用トランジスタの不純物領域の一方は、複数の前記ゲート信号線、複数の前記リセット信号線、複数の前記転送信号線、又は複数の前記フォトゲート信号線のいずれか一本に接続されていることを特徴とする半導体装置。

【請求項14】請求項8乃至請求項13のいずれか一項において、

前記光電変換素子は、nチャネル型端子と、pチャネル型端子と、光電変換層とを有し、

前記nチャネル型端子が前記駆動用トランジスタのゲート電極に接続され、前記pチャネル型端子が電源基準線に接続され、

前記リセット用トランジスタのソース領域及びドレイン領域の一方は複数の前記リセット信号線のいずれか一本に接続され、

前記リセット用トランジスタはpチャネル型トランジスタであることを特徴とする半導体装置。

【請求項15】請求項8乃至請求項13のいずれか一項において、

前記光電変換素子は、nチャネル型端子と、pチャネル型端子と、光電変換層とを有し、

前記nチャネル型端子が前記駆動用トランジスタのゲート電極に接続され、前記pチャネル型端子が電源基準線に接続され、

前記リセット用トランジスタのソース領域及びドレイン

領域の一方は複数の前記ゲート信号線のいずれか一本に接続され、

前記スイッチング用トランジスタはpチャネル型トランジスタであることを特徴とする半導体装置。

【請求項16】請求項8乃至請求項13のいずれか一項において、

前記光電変換素子は、nチャネル型端子と、pチャネル型端子と、光電変換層とを有し、

前記nチャネル型端子が電源線に接続され、前記pチャネル型端子が前記駆動用トランジスタのゲート電極に接続され、

前記リセット用トランジスタのソース領域及びドレイン領域の一方は複数の前記リセット信号線のいずれか一本に接続され、

前記リセット用トランジスタはnチャネル型トランジスタであることを特徴とする半導体装置。

【請求項17】請求項8乃至請求項13のいずれか一項において、

前記光電変換素子は、nチャネル型端子と、pチャネル型端子と、光電変換層とを有し、

前記nチャネル型端子が電源線に接続され、前記pチャネル型端子が前記駆動用トランジスタのゲート電極に接続され、

前記リセット用トランジスタのソース領域及びドレイン領域の一方は複数の前記ゲート信号線のいずれか一本に接続され、

前記スイッチング用トランジスタはnチャネル型トランジスタであることを特徴とする半導体装置。

【請求項18】請求項8乃至請求項13のいずれか一項において、

前記スイッチング用トランジスタのソース領域及びドレイン領域の一方は、前記増幅用トランジスタのソース領域に接続され、

前記増幅用トランジスタのドレイン領域は、複数の前記リセット信号線のいずれか一本に接続され、

前記増幅用トランジスタはnチャネル型トランジスタであり、前記リセット用トランジスタはpチャネル型トランジスタであることを特徴とする半導体装置。

【請求項19】請求項8乃至請求項13のいずれか一項において、

前記スイッチング用トランジスタのソース領域及びドレイン領域の一方は、前記増幅用トランジスタのソース領域に接続され、

前記増幅用トランジスタのドレイン領域は、複数の前記ゲート信号線のいずれか一本に接続され、

前記増幅用トランジスタはnチャネル型トランジスタであり、前記スイッチング用トランジスタはpチャネル型トランジスタであることを特徴とする半導体装置。

【請求項20】請求項8乃至請求項13のいずれか一項において、

前記スイッチング用トランジスタのソース領域及びドレイン領域の一方は、前記増幅用トランジスタのソース領域に接続され、

前記増幅用トランジスタのドレイン領域は、複数の前記リセット信号線のいずれか一本に接続され、

前記増幅用トランジスタはpチャネル型トランジスタであり、前記リセット用トランジスタはnチャネル型トランジスタであることを特徴とする半導体装置。

【請求項21】請求項8乃至請求項13のいずれか一項において、

前記スイッチング用トランジスタのソース領域及びドレイン領域の一方は、前記増幅用トランジスタのソース領域に接続され、

前記増幅用トランジスタのドレイン領域は、複数の前記ゲート信号線のいずれか一本に接続され、

前記増幅用トランジスタはpチャネル型トランジスタであり、前記スイッチング用トランジスタはnチャネル型トランジスタであることを特徴とする半導体装置。

【請求項22】請求項10乃至請求項13のいずれか一項において、

前記光電変換素子は、nチャネル型端子と、pチャネル型端子と、光電変換層とを有し、

前記nチャネル型端子が前記駆動用トランジスタのゲート電極に接続され、前記pチャネル型端子が電源基準線に接続され、

前記リセット用トランジスタのソース領域及びドレイン領域の一方は複数の前記転送信号線のいずれか一本に接続され、

前記転送用トランジスタはpチャネル型トランジスタであることを特徴とする半導体装置。

【請求項23】請求項10乃至請求項13のいずれか一項において、

前記光電変換素子は、nチャネル型端子と、pチャネル型端子と、光電変換層とを有し、

前記nチャネル型端子が電源線に接続され、前記pチャネル型端子が前記駆動用トランジスタのゲート電極に接続され、

前記リセット用トランジスタのソース領域及びドレイン領域の一方は複数の前記転送信号線のいずれか一本に接続され、

前記リセット用トランジスタはnチャネル型トランジスタであることを特徴とする半導体装置。

【請求項24】請求項10乃至請求項13のいずれか一項において、

前記スイッチング用トランジスタのソース領域及びドレイン領域の一方は、前記増幅用トランジスタのソース領域に接続され、

前記増幅用トランジスタのドレイン領域は、複数の前記ゲート信号線のいずれか一本に接続され、

前記増幅用トランジスタはnチャネル型トランジスタで

あり、前記転送用トランジスタはpチャネル型トランジスタであることを特徴とする半導体装置。

【請求項25】請求項10乃至請求項13のいずれか一項において、

前記スイッチング用トランジスタのソース領域及びドレイン領域の一方は、前記増幅用トランジスタのソース領域に接続され、

前記増幅用トランジスタのドレイン領域は、複数の前記転送信号線のいずれか一本に接続され、

前記増幅用トランジスタはpチャネル型トランジスタであり、前記転送用トランジスタはnチャネル型トランジスタであることを特徴とする半導体装置。

【請求項26】請求項1乃至請求項25のいずれか一項に記載の半導体装置を用いることを特徴とする携帯端末。

【請求項27】請求項1乃至請求項25のいずれか一項に記載の半導体装置を用いることを特徴とするデジタルスチルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。より詳細には、半導体基板上又は絶縁表面上に作製されたトランジスタを有するアクティブマトリクス型半導体装置に関する。

【0002】

【従来の技術】イメージセンサ機能を有する半導体装置には、光電変換素子と該光電変換素子を制御する一つまたは複数のトランジスタが設けられる。光電変換素子としては、PN型のフォトダイオードが用いられる場合が多い。その他には、PIN型のフォトダイオード、アブランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオード、フォトリソトランジスタなどがある。その他には、X線用のフォトコンダクタや赤外線用のセンサなどもあるが、本発明の半導体装置は公知のどのような素子を用いることが出来る。

【0003】イメージセンサ機能を有する半導体装置は、大別してCCD型とCMOS型に分類される。CMOS型の半導体装置は、増幅用回路を搭載していないものはパッシブ型、増幅用回路を搭載しているものはアクティブ型に分類される。増幅用回路は、光電変換素子が読み取った被写体の画像信号を増幅したりする機能を有する。その結果、ノイズなどの影響を受けにくく、増幅用回路が搭載されたアクティブ型のCMOS型半導体装置は多く採用されている。

【0004】ここで、光電変換素子と複数のトランジスタを1画素中に設けた半導体装置について、図5～図7を用いて説明する。

【0005】図5に本発明の半導体装置の概略図の一例を示す。図5の半導体装置は、画素部103、画素部103の周辺に配置されたソース信号線駆動回路101、

ゲート信号線駆動回路102を有している。なお、本実施の形態において示す半導体装置はソース信号線駆動回路101と、ゲート信号線駆動回路102とをそれぞれ1つずつ有しているが、本発明はこれに限定されない。ソース信号線駆動回路101と、ゲート信号線駆動回路102の数は任意に定めることができる。

【0006】また、画素部103は、半導体基板上又は絶縁表面上にマトリクス状に形成された複数の画素100、ソース信号線駆動回路101と接続された信号線、ゲート信号線駆動回路102と接続された信号線を有している。なお、ソース信号線駆動回路101とゲート信号線駆動回路102とに接続される信号線の数は、後述する画素100の構成により異なっている。また、ソース信号線駆動回路101は、バイアス用回路101a、サンプルホールド回路101b、信号出力線駆動回路101c、最終出力増幅用回路101dなどを有しているが、これらの回路に関しては実施例において詳しく説明する。

【0007】図6と図7は、図5で示した画素部103におけるi行目j列目に設けられた画素100の回路図を示す。

【0008】図6(A)に示す画素100は、信号出力線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つとを有している。また、画素100は、スイッチング用トランジスタ512と、増幅用トランジスタ513と、リセット用トランジスタ514と、光電変換素子511とを有している。

【0009】光電変換素子511は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子及びnチャネル型端子の一方は、電源基準線521に接続されており、もう一方は増幅用トランジスタ513のゲート電極に接続されている。

【0010】スイッチング用トランジスタ512のゲート電極はゲート信号線(Gj)に接続されている。そしてスイッチング用トランジスタ512のソース領域とドレイン領域は、一方は増幅用トランジスタ513のソース領域に接続されており、もう一方は信号出力線(Si)に接続されている。スイッチング用トランジスタ512は、光電変換素子511の信号を出力するときのスイッチング素子として機能するトランジスタである。

【0011】増幅用トランジスタ513のドレイン領域は電源線(VBi)に接続されている。そして増幅用トランジスタ513のソース領域はスイッチング用トランジスタ512のソース領域又はドレイン領域に接続されている。増幅用トランジスタ513は、画素部103の下部に設けられたバイアス用トランジスタ(図示せず)

とソースフォロワ回路を形成する。そのため、増幅用トランジスタ513とバイアス用トランジスタの極性は同じである方がよい。

【0012】リセット用トランジスタ514のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ514のソース領域とドレイン領域は、一方は電源線(VBi)に接続されており、もう一方は、光電変換素子511及び増幅用トランジスタ513のゲート電極に接続されている。リセット用トランジスタ514は、光電変換素子511を初期化(リセット)するための素子(スイッチング素子)として機能するトランジスタである。

【0013】図6(B)に示す画素100は、信号出力線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つとを有している。また、画素100は、スイッチング用コンデンサ712と、増幅用トランジスタ713と、リセット用トランジスタ714と、光電変換素子711とを有している。

【0014】光電変換素子711は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子、nチャネル型端子の一方は、電源基準線721に接続されており、もう一方はスイッチング用コンデンサ712の一方の端子に接続されている。

【0015】スイッチング用コンデンサ712のもう一方の端子は、ゲート信号線(Gj)に接続されている。スイッチング用コンデンサ712は、光電変換素子711の信号を出力するときのスイッチング素子として機能するコンデンサである。

【0016】増幅用トランジスタ713のドレイン領域は電源線(VBi)に接続されている。そして増幅用トランジスタ713のソース領域は信号出力線(Si)に接続されている。増幅用トランジスタ713は、画素部103の下部に設けられたバイアス用トランジスタ(図示せず)とソースフォロワ回路を形成する。そのため、増幅用トランジスタ713とバイアス用トランジスタの極性は同じである方がよい。

【0017】リセット用トランジスタ714のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ714のソース領域とドレイン領域は、一方は電源線(VBi)に接続されており、もう一方は、光電変換素子711及び増幅用トランジスタ713のゲート電極に接続されている。リセット用トランジスタ714は、光電変換素子711を初期化(リセット)するための素子(スイッチング素子)として機能するトランジスタである。

【0018】図6(C)に示す画素100は、図6

(A) に示す画素100のスイッチング用トランジスタと増幅用トランジスタの接続の構成が異なる例を示す。画素100は、信号出力線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つとを有している。また、画素100は、スイッチング用トランジスタ5120と、増幅用トランジスタ5130と、リセット用トランジスタ5140と、光電変換素子5110とを有している。

【0019】光電変換素子5110は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子及びnチャネル型端子の一方は、電源基準線5210に接続されており、もう一方は増幅用トランジスタ5130のゲート電極に接続されている。

【0020】スイッチング用トランジスタ5120のゲート電極はゲート信号線(Gj)に接続されている。そしてスイッチング用トランジスタ5120のソース領域とドレイン領域は、一方は増幅用トランジスタ5130のソース領域に接続されており、もう一方は電源供給線(VBi)に接続されている。スイッチング用トランジスタ5120は、光電変換素子5110の信号を出力するときのスイッチング素子として機能するトランジスタである。

【0021】増幅用トランジスタ5130のドレイン領域は信号出力線(Si)に接続されている。そして増幅用トランジスタ5130のソース領域はスイッチング用トランジスタ5120のソース領域又はドレイン領域の一方に接続されている。増幅用トランジスタ5130は、画素部103の下部に設けられたバイアス用トランジスタ(図示せず)とソースフォロワ回路を形成する。そのため、増幅用トランジスタ5130とバイアス用トランジスタの極性は同じである方がよい。

【0022】リセット用トランジスタ5140のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ5140のソース領域とドレイン領域は、一方は電源線(VBi)に接続されており、もう一方は、光電変換素子5110及び増幅用トランジスタ5130のゲート電極に接続されている。リセット用トランジスタ5140は、光電変換素子511を初期化(リセット)するための素子(スイッチング素子)として機能するトランジスタである。

【0023】なお、図6(C)に示す画素100では、スイッチング用トランジスタ5120のソース領域及びドレイン領域の一方が電源供給線(VBi)に接続されている。図示しないが、このような構成は、図6(A)、(B)に示す画素100にも適用される。

【0024】図7(A)に示す画素100は、信号出力

線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つと、転送信号線(T1~Ty)のいずれか一つと、フォトゲート信号線(F1~Fy)のいずれか一つとを有している。また、画素100は、スイッチング用トランジスタ612と、増幅用トランジスタ613と、リセット用トランジスタ614と、転送用トランジスタ615と、フォトゲート611とを有している。

【0025】フォトゲート611の一方の端子は、フォトゲート信号線(Fj)に接続されており、もう一方の端子は転送用トランジスタ615に接続されている。

【0026】スイッチング用トランジスタ612のゲート電極は、ゲート信号線(Gj)に接続されている。そしてスイッチング用トランジスタ612のソース領域及びドレイン領域は、一方は信号出力線(Si)に接続されており、もう一方は増幅用トランジスタ613のソース領域に接続されている。スイッチング用トランジスタ612は、フォトゲート611に信号を出力するときのスイッチング素子として機能するトランジスタである。

【0027】増幅用トランジスタ613のドレイン領域は電源線(VBi)に接続されている。そして増幅用トランジスタ613のソース領域はスイッチング用トランジスタ612の端子に接続されている。増幅用トランジスタ613は、画素部103の下部に設けられたバイアス用トランジスタ(図示せず)とソースフォロワ回路を形成する。そのため、増幅用トランジスタ613とバイアス用トランジスタの極性は同じである方がよい。

【0028】リセット用トランジスタ614のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ614のソース領域とドレイン領域は、一方は電源線(VBi)に接続されており、もう一方は、増幅用トランジスタ613のゲート電極に接続されている。リセット用トランジスタ614は、フォトゲート611を初期化(リセット)するための素子(スイッチング素子)として機能するトランジスタである。

【0029】転送用トランジスタ615のゲート電極は、転送信号線(Tj)に接続されている。そして転送用トランジスタ615のソース領域及びドレイン領域は、一方は増幅用トランジスタ613のゲート電極及びリセット用トランジスタ614のソース領域に接続されており、もう一方はフォトゲート611に接続されている。

【0030】図7(B)に示す画素100は、信号出力線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つと、転送信号線(T1~Tx)を有している。また、画素100は、スイッチング用トランジスタ812と、増幅用トランジスタ813と、リセット用

トランジスタ814と、転送用トランジスタ815と、光電変換素子811とを有している。

【0031】光電変換素子811は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子及びnチャネル型端子の一方は、電源基準線821に接続されており、もう一方は転送用トランジスタ815のソース領域又はドレイン領域に接続されている。

【0032】スイッチング用トランジスタ812のゲート電極はゲート信号線(Gj)に接続されている。そしてスイッチング用トランジスタ812のソース領域とドレイン領域は、一方は増幅用トランジスタ813のソース領域に接続されており、もう一方は信号出力線(Si)に接続されている。スイッチング用トランジスタ812は、光電変換素子811の信号を出力するときのスイッチング素子として機能するトランジスタである。

【0033】増幅用トランジスタ813のドレイン領域は電源線(VBi)に接続されている。そして増幅用トランジスタ813のソース領域はスイッチング用トランジスタ812のソース領域又はドレイン領域に接続されている。増幅用トランジスタ813は、画素部103の下部に設けられたバイアス用トランジスタ(図示せず)とソースフォロワ回路を形成する。そのため、増幅用トランジスタ813とバイアス用トランジスタの極性は同じである方がよい。

【0034】リセット用トランジスタ814のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ814のソース領域とドレイン領域は、一方は電源線(VBi)に接続されており、もう一方は、増幅用トランジスタ813のゲート電極に接続されている。リセット用トランジスタ814は、光電変換素子811および増幅用トランジスタ813のゲート電極を初期化(リセット)するための素子(スイッチング素子)として機能するトランジスタである。

【0035】転送用トランジスタ815のゲート電極は、転送信号線(Tj)に接続されている。転送用トランジスタ815のソース領域とドレイン領域は、一方は増幅用トランジスタ813のゲート電極に接続されており、もう一方は、光電変換素子811に接続されている。

【0036】以上の内容に関しては、JIEC 세미나資料：日本工業技術センター(平成10年2月20日)：CMOSセンサの開発展望、ISSCC'99 An Integrated 800*600 CMOS Imaging System、ISSCC'97 A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor、ISSCC'95 A 256*256 CMOS Active Pixel Image Sensor with Motion Detection、IEDM'98 A snap-shot CMOS Active Pixel Imager for Low-Noise, High-Speed Imaging、IEDM'97 CMOS Image Sensor-Recent Advances and

Device Scaling Considerationsなどに報告されている。

【0037】

【発明が解決しようとする課題】イメージセンサ機能を有する半導体装置においては、その性能の面から光感度を上げるため、高開口率化が求められている。各画素が高い開口率を持つことにより、光の利用効率が向上し、半導体装置の省電力化および小型化が達成できる。

【0038】しかしながら、近年、高解像度化が進み、画素サイズの微小化が求められている。画素サイズを微小化させると、相対的に1つの画素に占めるトランジスタ及び配線の形成面積が大きくなり、画素の開口率が低下してしまう。

【0039】そこで、規定の画素サイズの中で、各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【0040】本発明はそのような要求に答えるものであり、新しい構成を有する画素を提供することによって、マスク数及び工程数を増加させることなく、高い開口率を実現した半導体装置を提供することを課題とする。

【0041】

【課題を解決するための手段】上述した従来技術の課題を解決するために、本発明においては以下の手段を講じた。

【0042】本発明の半導体装置は、その画素部の構成において、あるゲート信号線が、その選択期間以外の期間においては、一定の電位をとっている点に着目した。本発明の半導体装置における特徴は、i行目のゲート信号線が選択されているとき、i行目の画素に電流を供給する電流供給線を、i行目のゲート信号線を含むゲート信号線のいずれか1本によって代用することにより、画素部においてある割合を占めている電流供給線を省略することが出来る、というものである。

【0043】また本発明の半導体装置における特徴は、i行目のリセット信号線が選択されているとき、i行目の画素に電流を供給する電流供給線を、i行目のリセット信号線を含むリセット信号線のいずれか1本によって代用することにより、画素部においてある割合を占めている電流供給線を省略することが出来る、というものである。

【0044】上記の方法により、マスク枚数や作成工程数を増加させることなく、画素部において高い開口率を実現することが出来る。また、従来の開口率と同等にするならば、信号線の幅をより大きくとることが出来るため、抵抗の低減やノイズの低減といった、画質の向上に寄与することが出来る。

【0045】また、電源供給線の代用として、ゲート信号線やリセット信号線だけでなく、転送信号線、フォトゲート信号線などの他の信号線を用いることも可能である。

【0046】

【発明の実施の形態】（実施の形態1）図5に本発明の半導体装置の概略図の一例を示す。図5の半導体装置は、画素部103、画素部103の周辺に配置されたソース信号線駆動回路101、ゲート信号線駆動回路102を有している。なお、本実施の形態において示す半導体装置はソース信号線駆動回路101と、ゲート信号線駆動回路102とをそれぞれ1つずつ有しているが、本発明はこれに限定されない。ソース信号線駆動回路101と、ゲート信号線駆動回路102の数は任意に定めることができる。

【0047】また、画素部103は、半導体基板上又は絶縁表面上にマトリクス状に形成された複数の画素100、ソース信号線駆動回路101と接続された信号線、ゲート信号線駆動回路102と接続された信号線を有している。なお、ソース信号線駆動回路101とゲート信号線駆動回路102と接続された信号線の数は、後述する画素100の構成により異なっている。また、ソース信号線駆動回路101は、バイアス用回路101a、サンプルホールド回路101b、信号出力線駆動回路101c、最終出力増幅用回路101dなどを有しているが、これらの回路に関しては実施例において詳しく説明する。

【0048】図1乃至図4は、図5で示した画素部におけるi行目j列目に設けられた画素100の回路図を示す。

【0049】図1（A）、（B）に示す画素100は、信号出力線（S1～Sx）のいずれか1つと、電源線（VB1～VBx）のいずれか1つと、ゲート信号線（G1～Gy）のいずれか1つと、リセット信号線（R1～Ry）のいずれか1つとを有している。また、画素100は、スイッチング用トランジスタ112と、増幅用トランジスタ113と、リセット用トランジスタ114と、光電変換素子111とを有している。

【0050】光電変換素子111は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子及びnチャネル型端子の一方は、電源基準線121に接続されており、もう一方は増幅用トランジスタ113のゲート電極に接続されている。

【0051】スイッチング用トランジスタ112のゲート電極はゲート信号線（Gj）に接続されている。そしてスイッチング用トランジスタ112のソース領域とドレイン領域は、一方は増幅用トランジスタ113のソース領域に接続されており、もう一方は信号出力線（Si）に接続されている。スイッチング用トランジスタ112は、光電変換素子111の信号を出力するときのスイッチング素子として機能するトランジスタである。

【0052】図1（A）に示す画素100の増幅用トラ

ンジスタ113のドレイン領域は、画素（i、j）の上部に位置する画素（i、j-1）のリセット信号線（Rj-1）に接続され、画素（i、j）よりも先に走査される。

【0053】リセット用トランジスタ114のゲート電極は、リセット信号線（Rj）に接続されている。リセット用トランジスタ114のソース領域とドレイン領域は、一方はリセット信号線（Rj-1）に接続されており、もう一方は、光電変換素子111及び増幅用トランジスタ113のゲート電極に接続されている。

【0054】一方、図1（B）に示す画素100の増幅用トランジスタ113のドレイン領域は、画素（i、j）の下部に位置する画素（i、j+1）のゲート信号線（Gj+1）に接続され、画素（i、j）よりも後に走査される。

【0055】リセット用トランジスタ114のゲート電極は、リセット信号線（Rj）に接続されている。リセット用トランジスタ114のソース領域とドレイン領域は、一方はゲート信号線（Gj+1）に接続されており、もう一方は、光電変換素子111及び増幅用トランジスタ113のゲート電極に接続されている。

【0056】また、図1（C）に示す画素100の増幅用トランジスタ113のドレイン領域は、画素（i、j）の上部に位置する画素（i、j-1）のリセット信号線（Rj-1）に接続され、画素（i、j）よりも後に走査される。

【0057】リセット用トランジスタ114のゲート電極は、リセット信号線（Rj）に接続されている。リセット用トランジスタ114のソース領域及びドレイン領域の一方は、画素（i、j）の下部に位置する画素（i、j+1）のゲート信号線（Gj+1）に接続され、画素（i、j）よりも後に走査される。リセット用トランジスタ114のソース領域及びドレイン領域の他方は、光電変換素子111及び増幅用トランジスタ113のゲート電極に接続されている。

【0058】次いで、スイッチング用素子としての役割を有するコンデンサが設けられた画素100の構成について、図2を用いて説明する。

【0059】図2（A）、（B）に示す画素100は、信号出力線（S1～Sx）のいずれか1つと、電源線（VB1～VBx）のいずれか1つと、ゲート信号線（G1～Gy）のいずれか1つと、リセット信号線（R1～Ry）のいずれか1つとを有している。また、画素100は、スイッチング用コンデンサ312と、増幅用トランジスタ313と、リセット用トランジスタ314と、光電変換素子311とを有している。

【0060】光電変換素子311は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子、nチャネル型端子の一方は、

電源基準線321に接続されており、もう一方はスイッチング用コンデンサ312の一方の端子に接続されている。

【0061】スイッチング用コンデンサ312のもう一方の端子は、ゲート信号線(Gj)に接続されている。スイッチング用コンデンサ312は、光電変換素子311の信号を出力するときのスイッチング素子として機能するコンデンサである。

【0062】図2(A)に示す画素100の増幅用トランジスタ313のドレイン領域は、画素(i、j)の上部に位置する画素(i、j-1)のリセット信号線(Rj-1)に接続され、画素(i、j)よりも先に走査される。

【0063】リセット用トランジスタ314のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ314のソース領域とドレイン領域は、一方はリセット信号線(Rj-1)に接続されており、もう一方は、光電変換素子111及び増幅用トランジスタ113のゲート電極に接続されている。

【0064】一方、図2(B)に示す画素100の増幅用トランジスタ313のドレイン領域は、画素(i、j)の下部に位置する画素(i、j+1)のゲート信号線(Gj+1)に接続され、画素(i、j)よりも後に走査される。

【0065】リセット用トランジスタ314のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ314のソース領域とドレイン領域は、一方はゲート信号線(Gj+1)に接続されており、もう一方は、光電変換素子111及び増幅用トランジスタ313のゲート電極に接続されている。

【0066】本発明の着眼点は、現在選択している行から信号を出力しているとき、又は光電変換素子をリセットしているとき、既に別の行は非選択状態に戻っているということである。そして、再び選択されるようになるまでの間は、電位は一定(非選択状態)に保たれる。そこで、1行前のリセット信号線(Rj-1)及び1行後のゲート信号線(Gj+1)を定電位線、つまり、電流供給線として取り扱う点に特徴がある。つまり、リセット信号線とゲート信号線のどちらか一方と電流供給線とを共用するようにする。その結果、配線数を減らすことが出来、開口率を向上させることが出来る。

【0067】なお本実施の形態では、1行前のリセット信号線(Rj-1)及び1行後のゲート信号線(Gj+1)を電源線の代用して用いる例を示したが、本発明はこれに限定されない。何行前のリセット信号線および何行前のゲート信号線を用いて代用することも出来るし、何行後のリセット信号線および何行後ゲート信号線を用いて代用することも出来る。また、自分の画素が有するリセット信号線およびゲート信号線を用いて代用することも出来る。つまり、画素部が有するリセット信号線お

よびゲート信号線のいずれか1本に接続されていればよい。

【0068】また本実施の形態では、増幅用トランジスタのソース領域及びドレイン領域の一方とリセット用トランジスタのソース領域及びドレイン領域の一方を同じ配線に接続したが、本発明はこれに限定されない。例えば、増幅用トランジスタの端子を自分の画素(i、j)のリセット信号線(Rj)に接続し、リセット用トランジスタの端子を自分の画素(i、j)のゲート信号線(Gj)に接続してもよい。このような構成にすることにより、リセット信号線(Rj)とゲート信号線(Gj)を用いて電源線を代用することが出来る。

【0069】さらに本発明を適用するに際し、電源供給線の代用として用いる配線によっては、図1に示すスイッチング用トランジスタ112、増幅用トランジスタ113、リセット用トランジスタ114のそれぞれのトランジスタの極性、および図2に示す増幅用トランジスタ313、リセット用トランジスタ314のそれぞれのトランジスタの極性に注意する必要がある。

【0070】ここで、図1(A)を例に挙げて説明する。図1(A)に示す画素100では、リセット信号線(Rj-1)を電源線として利用している。1行前のリセット信号線(Rj-1)は、殆どの期間で定電位である必要があり、そのときのリセット信号線(Rj-1)の電位は、削除しなかった場合の画素が有する電源線と同じ電位にする必要がある。そのため、リセット信号線(Rj-1)に接続されているリセット用トランジスタ114の極性には注意する必要がある。

【0071】もし、殆どの期間でリセット信号線(Rj-1)がHighの電位にある場合には、リセット信号線(Rj-1)に接続されたリセット用トランジスタ114はpチャネル型トランジスタを用いる必要がある。仮に、リセット用トランジスタ114にnチャネル型トランジスタを用いると、そのトランジスタは、殆ど導通状態になってしまうからである。また増幅用トランジスタ113のドレイン領域は、リセット信号線(Rj-1)と接続されるので、nチャネル型トランジスタを用いる必要がある。なおこの場合において、増幅用トランジスタ113とバイアス用トランジスタ(図示せず)がソースフォロワ回路を形成するのであれば、バイアス用トランジスタもnチャネル型トランジスタを用いる必要がある。但しソースフォロワ回路を形成しないのであれば、バイアス用トランジスタにnチャネル型トランジスタを用いる必要はない。

【0072】また、殆どの期間でリセット信号線(Rj-1)がLowの電位にある場合には、リセット信号線(Rj-1)に接続されたリセット用トランジスタ114はnチャネル型トランジスタを用いる必要がある。つまり、電源線の代用として用いるリセット信号線およびゲート信号線の電位に注意して、適当な極性のトランジス

タを用いる必要がある。

【0073】さらに、光電変換素子(図1に示す光電変換素子111と図2に示す光電変換素子311)としてダイオードを用いる場合には、その向きにも注意する必要がある。

【0074】ここで、図1(A)を例に挙げて説明する。光電変換素子111は、リセットされた時には、逆バイアス状態になる必要がある。よって光電変換素子111の向きを逆にした場合には、電源線として用いるリセット信号線(Rj-1)と、電源基準線121の電位を入れ替える必要が出てくる。実際に電位を入れ替えた場合には、リセット信号線(Rj-1)に接続されたリセット用トランジスタ114の極性には注意する必要がある。つまり、殆どの期間でリセット信号線(Rj-1)がHighの電位にある場合には、リセット用トランジスタ114はpチャネル型トランジスタを用いる必要があり、殆どの期間でLowの電位にある場合には、リセット用トランジスタ114はnチャネル型トランジスタを用いる必要がある。なおこの場合のように、リセット信号線(R1~Ry)を電源供給線の代用として用いる場合には、スイッチング用トランジスタ112の極性は特に限定されない。

【0075】また図1(B)に示すように、ゲート信号線(G1~Gy)を電源供給線の代用として用いる際にも、同様に増幅用トランジスタ113とリセット用トランジスタ114の極性には注意する必要がある。つまり、本発明を適用するに際し、電源線の代用として用いるリセット信号線およびゲート信号線の電位と、電源基準線(図1に示す電源基準線121と図2に示す電源基準線321)の電位とに注意して、適当な極性のトランジスタを用いる必要がある。

【0076】(実施の形態2)本実施の形態では、実施の形態1とは異なり、電源線の代わりに、転送信号線、フォトゲート線を用いた場合について説明する。

【0077】図3(A)、(B)に示す画素100は、信号出力線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つと、転送信号線(T1~Ty)のいずれか1つと、フォトゲート信号線(F1~Fy)のいずれか1つとを有している。また、画素100は、スイッチング用トランジスタ212と、増幅用トランジスタ213と、リセット用トランジスタ214と、転送用トランジスタ215と、フォトゲート211とを有している。

【0078】フォトゲート211の端子は、フォトゲート信号線(Fj)に接続されており、もう一方の端子は転送用トランジスタ215のソース領域又はドレイン領域のどちらか一方に接続されている。

【0079】スイッチング用トランジスタ212のゲー

ト電極は、ゲート信号線(Gj)に接続されている。そしてスイッチング用トランジスタ212のソース領域及びドレイン領域は、一方は信号出力線(Si)に接続されており、もう一方は増幅用トランジスタ213のソース領域又はドレイン領域のどちらか一方に接続されている。

【0080】転送用トランジスタ215のゲート電極は、転送信号線(Tj)に接続されている。そして転送用トランジスタ215のソース領域及びドレイン領域は、一方は増幅用トランジスタ213のゲート電極及びリセット用トランジスタ214のソース領域に接続されており、もう一方はフォトゲート211に接続されている。

【0081】そして、図3(A)に示す画素100の増幅用トランジスタ213のソース領域およびドレイン領域のどちらか一方は、画素(i, j)の上部に位置する画素(i, j-1)の転送信号線(Tj-1)に接続され、画素(i, j)よりも先に走査される。

【0082】リセット用トランジスタ214のゲート電極は、リセット信号線(Rj)に接続されている。そしてリセット用トランジスタ214のソース領域とドレイン領域は、一方は転送信号線(Tj-1)に接続されており、もう一方は、増幅用トランジスタ213のゲート電極に接続されている。

【0083】また、図3(B)に示す画素100の増幅用トランジスタ213のソース領域およびドレイン領域のどちらか一方は、画素(i, j)の上部に位置する画素(i, j-1)のフォトゲート信号線(Tj-1)に接続され、画素(i, j)よりも先に走査される。

【0084】リセット用トランジスタ214のゲート電極は、フォトゲート信号線(Tj-1)に接続されている。そしてリセット用トランジスタ214のソース領域とドレイン領域は、一方は転送信号線(Tj-1)に接続されており、もう一方は、増幅用トランジスタ213のゲート電極に接続されている。

【0085】なお、本実施の形態では、1行前の転送信号線(Tj-1)及び1行前のフォトゲート信号線(Tj-1)を電源線の代用として用いる例を示したが、本発明はこれに限定されない。何行前の転送信号線および何行前フォトゲート信号線を用いて代用することも出来るし、何行後の転送信号線および何行後フォトゲート信号線を用いて代用することも出来る。また、自分の画素が有する転送信号線(Ti)およびフォトゲート信号線(Fi)を用いて代用することも出来る。つまり、画素部が有する転送信号線(T1~Ty)およびフォトゲート信号線(F1~Fy)のいずれか1本に接続されていればよい。

【0086】また、本実施の形態では、増幅用トランジスタ213のソース領域及びドレイン領域の一方とリセット用トランジスタ214のソース領域及びドレイン領

域の一方を同じ配線に接続したが、本発明はこれに限定されない。例えば、増幅用トランジスタの端子213を自分の画素(i、j)の転送信号線(Tj)に接続し、リセット用トランジスタ214の端子を自分の画素(i、j)のフォトゲート信号線(Fj)に接続してもよい。このような構成にすることにより、転送信号線およびフォトゲート信号線を用いて電源線を代用することが出来る。

【0087】さらに本発明を適用するに際し、電源供給線の代用として用いる配線によって、図3に示すスイッチング用トランジスタ212、増幅用トランジスタ213、リセット用トランジスタ214、転送用トランジスタ215のそれぞれのトランジスタの極性に注意する必要がある。

【0088】ここで、図3(A)を例に挙げて説明する。図3(A)に示す画素100では、転送信号線(Tj-1)を電源線として利用している。1行前の転送信号線(Tj-1)は、殆どの期間で定電位である必要があり、そのときの転送信号線(Tj-1)の電位は、削除しなかった場合の画素が有する電源供給線と同じ電位にする必要がある。そのため、転送信号線(Tj-1)に接続されている転送用トランジスタ215の極性には注意する必要がある。

【0089】もし、殆どの期間で転送信号線(Tj-1)がHighの電位にある場合には、転送信号線(Tj-1)に接続された転送用トランジスタ215はpチャネル型トランジスタを用いる必要がある。仮に、転送用トランジスタ215にnチャネル型トランジスタを用いると、そのトランジスタは殆ど導通状態になってしまうからである。

【0090】また、殆どの期間で転送信号線(Tj-1)がLowの電位にある場合には、転送信号線(Tj-1)に接続された転送用トランジスタ215はnチャネル型トランジスタを用いる必要がある。つまり、電源線の代用として用いる転送信号線およびフォトゲート信号線の電位に注意して、適当な極性のトランジスタを用いる必要がある。

【0091】なお本実施の形態では、転送信号線およびフォトゲート信号線を用いた例について説明したが、本発明はこれに限定されず、ゲート信号線、リセット信号線などの他の配線を用いてもよい。

【0092】(実施の形態3)本実施の形態では、実施の形態1、2とは異なる例として、電源線の代わりとして、転送信号線、ゲート信号線を用いる構成の半導体装置について説明する。

【0093】図4(A)、(B)に示す画素100は、信号出力線(S1~Sx)のいずれか1つと、電源線(VB1~VBx)のいずれか1つと、ゲート信号線(G1~Gy)のいずれか1つと、リセット信号線(R1~Ry)のいずれか1つと、転送信号線(T1~T

y)を有している。また、画素100は、スイッチング用トランジスタ412と、増幅用トランジスタ413と、リセット用トランジスタ414と、転送用トランジスタ415と、光電変換素子411とを有している。

【0094】光電変換素子411は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子及びnチャネル型端子の一方は、電源基準線421に接続されており、もう一方は転送用トランジスタ415のソース領域又はドレイン領域に接続されている。

【0095】スイッチング用トランジスタ412のゲート電極はゲート信号線(Gj)に接続されている。そしてスイッチング用トランジスタ412のソース領域とドレイン領域は、一方は増幅用トランジスタ413のソース領域に接続されており、もう一方は信号出力線(Si)に接続されている。

【0096】図4(A)に示す画素100の増幅用トランジスタ413のドレイン領域は、画素(i、j)の上部に位置する画素(i、j-1)の転送信号線(Tj-1)に接続され、画素(i、j)よりも先に走査される。

【0097】リセット用トランジスタ414のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ414のソース領域とドレイン領域は、一方は転送信号線(Tj-1)に接続されており、もう一方は、光電変換素子411及び増幅用トランジスタ413のゲート電極に接続されている。

【0098】一方、図1(B)に示す画素100の増幅用トランジスタ413のドレイン領域は、画素(i、j)の下部に位置する画素(i、j+1)のゲート信号線(Gj+1)に接続され、画素(i、j)よりも後に走査される。

【0099】リセット用トランジスタ414のゲート電極は、リセット信号線(Rj)に接続されている。リセット用トランジスタ414のソース領域とドレイン領域は、一方はゲート信号線(Gj+1)に接続されており、もう一方は、光電変換素子411及び増幅用トランジスタ413のゲート電極に接続されている。

【0100】転送用トランジスタ415のゲート電極は、転送信号線(Tj)に接続されている。転送用トランジスタ415のソース領域とドレイン領域は、一方は増幅用トランジスタ413のゲート電極に接続されており、もう一方は、光電変換素子411に接続されている。

【0101】なお、本実施の形態では、1行前の転送信号線(Tj-1)及び1行後のゲート信号線(Gj+1)を電源線の代用として用いる例を示したが、本発明はこれに限定されない。何行前の転送信号線および何行前のゲート信号線を用いて代用することも出来るし、何行後の

転送信号線および何行後のゲート信号線を用いて代用することも出来る。また、自分の画素が有する転送信号線およびゲート信号線を用いて代用することも出来る。つまり、画素部が有する転送信号線およびゲート信号線のいずれか1本に接続されていればよい。

【0102】また、本実施の形態では、転送信号線およびゲート信号線を用いた例について説明したが、本発明はこれに限定されず、リセット信号線を用いてもよい。

【0103】また、本実施の形態では、増幅用トランジスタ413のソース領域及びドレイン領域の一方とリセット用トランジスタ414のソース領域及びドレイン領域の一方を同じ配線に接続したが、本発明はこれに限定されない。例えば、増幅用トランジスタ413の端子を自分の画素(i, j)の転送信号線(Tj)に接続し、リセット用トランジスタ414の端子を自分の画素(i, j)のゲート信号線(Gj)に接続してもよい。このような構成にすることにより、転送信号線(Tj)とゲート信号線(Gj)を用いて電源線を代用することが出来る。

【0104】さらに本発明を適用するに際し、電源供給線の代用として用いる配線によっては、図4に示すスイッチング用トランジスタ412、増幅用トランジスタ413、リセット用トランジスタ414、転送用トランジスタ415のそれぞれのトランジスタの極性に注意する必要がある。

【0105】ここで、図4(A)を例に挙げて説明する。図4(A)に示す画素100では、転送信号線(Tj-1)を電源線として利用している。1行前の転送信号線(Tj-1)は、殆どの期間で定電位である必要があり、そのときの転送信号線(Tj-1)の電位は、削除しなかった場合の画素が有する電源線と同じ電位にする必要がある。そのため、転送信号線(Tj-1)に接続されている転送用トランジスタ415の極性には注意する必要がある。

【0106】もし、殆どの期間で転送信号線(Tj-1)がHighの電位にある場合には、転送信号線(Tj-1)に接続された転送用トランジスタ415はpチャネル型トランジスタを用いる必要がある。仮に、転送用トランジスタ415にnチャネル型トランジスタを用いると、そのトランジスタは、殆ど導通状態になってしまうからである。また、殆どの期間で転送信号線(Tj-1)がLowの電位にある場合には、転送信号線(Tj-1)に接続された転送用トランジスタ415はnチャネル型トランジスタを用いる必要がある。つまり、電源線の代用として用いる転送信号線、ゲート信号線およびリセット信号線の電位に注意して、適当な極性のトランジスタを用いる必要がある。なお、増幅用トランジスタ113とバイアス用トランジスタ(図示せず)がソースフォロワ回路を形成するのであれば、増幅用トランジスタ113とバイアス用トランジスタは同じ極性のトラ

ンジスタを用いる必要がある。但し、ソースフォロワ回路を形成しないのであればこの限りではない。

【0107】さらに、光電変換素子(図4に示す光電変換素子411)としてダイオードを用いる場合における光電変換素子の向きにも注意する必要がある。

【0108】ここで、図4(A)を例に挙げて説明する。光電変換素子111は、リセットされた時には、逆バイアス状態になる必要がある。よって、光電変換素子411の光電変換素子411の向きを逆にした場合には、電源線として用いる転送信号線(Tj-1)と、電源基準線421の電位を入れ替える必要が出てくる。実際に電位を入れ替えた場合には、転送信号線(Tj-1)に接続された転送用トランジスタ415の極性には注意する必要がある。つまり、殆どの期間で転送信号線(Tj-1)がHighの電位にある場合には、転送用トランジスタ415はpチャネル型トランジスタを用いる必要があり、殆どの期間でLowの電位にある場合には、転送用トランジスタ415はnチャネル型トランジスタを用いる必要がある。なおこの場合のように、転送信号線(T1~Ty)を電源供給線の代用として用いる場合には、スイッチング用トランジスタ412の極性は特に限定されない。

【0109】つまり、本発明を適用するに際し、電源線の代用として用いる転送信号線(T1~Ty)、ゲート信号線(G1~Gy)およびリセット信号線(R1~Ry)の電位と、電源基準線(図4に示す電源基準線421)の電位とに注意して、適当な極性のトランジスタを用いる必要がある。

【0110】

【実施例】(実施例1)図5には本発明の半導体装置の概略図の一例を示すが、本実施例では、図5に示すソース信号線駆動回路101について詳しく説明する。ソース信号線駆動回路101は、ソース信号線駆動回路101a、サンプルホールド回路101b、信号出力用駆動回路101c、最終出力増幅回路101dを有している。

【0111】なお、本発明はこれに限定されず、ソース信号線駆動回路101に、アナログ・デジタル信号変換回路、雑音低減回路、信号処理回路などを設けてもよい。

【0112】バイアス用回路101aは、各画素の増幅用トランジスタと対になって、ソースフォロワ回路を形成する。サンプルホールド回路101bは、信号をいったん保存したり、アナログ・デジタル変換を行ったり、雑音を低減する回路を有している。また、信号出力用駆動回路101cは、一時的に保存されていた信号を、順に出力していくための信号を出力する回路を有している。そして、最終出力増幅回路101dは、サンプルホールド回路101bと信号出力用駆動回路101cにより出力された信号を増幅する回路を有している。な

お、最終出力増幅用回路101dは、信号を増幅する必要のない場合には設けなくてもよい。

【0113】次いで、バイアス用回路101a、サンプルホールド回路101bおよび信号出力線用駆動回路101cのi行目周辺部分101eの回路図を図8に示す。なお、本実施例では、全てのトランジスタがnチャネル型トランジスタとする。

【0114】バイアス用回路101aは、バイアス用トランジスタ5510aを有している。バイアス用トランジスタ5510aは、各画素の増幅用トランジスタと同じ極性を有し、ソースフォロワ回路を形成する。バイアス用トランジスタ5510aのゲート電極は、バイアス信号線511に接続されている。バイアス用トランジスタ5510aのソース領域およびドレイン領域は、一方は信号出力線(Si)に接続されており、もう一方は電源基準線5510bに接続されている。なお、本実施例では、nチャネル型トランジスタをバイアス用トランジスタ5510aに用いた場合を示したが、本発明はこれに限定されない。例えば、pチャネル型トランジスタをバイアス用トランジスタ5510aに用いることもできるが、その場合には、バイアス用トランジスタ5510aは電源基準線ではなく電源線に接続される。

【0115】転送用トランジスタ5512のゲート電極は、トランスファー信号線5513に接続されている。転送用トランジスタ5512のソース領域とドレイン領域は、一方は信号出力線(Si)に接続され、もう一方はコンデンサ5514bに接続されている。転送用トランジスタ5512は、信号出力線(Si)の電位をコンデンサ5514bに転送する機能を有している。なお、本実施例では、nチャネル型トランジスタを転送用トランジスタ5512に用いた場合を示したが、本発明はこれに限定されない。例えば、pチャネル型トランジスタとnチャネル型トランジスタを並列に接続して、それらのトランジスタを転送用トランジスタとして用いてもよい。

【0116】コンデンサ5514bは、転送用トランジスタ5512と電源基準線5514cに接続されている。コンデンサ5514bは、信号出力線(Si)から出力された信号を一時的に蓄積する。

【0117】放電用トランジスタ5514aのゲート電極は、プリ放電信号線5515に接続されている。そして放電用トランジスタ5514aのソース領域とドレイン領域は、一方はコンデンサ5514bに接続され、もう一方は電源基準線5514cにそれぞれ接続されている。放電用トランジスタ5514aは、信号出力線(Si)の電位をコンデンサ5514bに入力する前に、コンデンサ5514bの電荷を放電する機能を有している。

【0118】そして、コンデンサ5514bと最終出力線5518の間には、最終選択用トランジスタ5516が接続される。最終選択用トランジスタ5516のソー

ス領域とドレイン領域は、一方はコンデンサ5514bに接続され、もう一方は最終出力線5518に接続される。最終選択用トランジスタ5516のゲート電極は、i行目最終選択線5519に接続されている。

【0119】最終選択線は、画素部にマトリクス状に設けられており、1列目からy列目まで順に走査される。仮に、図8に示すようにi行目最終選択線5519が選択され、最終選択用トランジスタ5516が導通状態になると、コンデンサ5514bの電位とi行目最終選択線5519の電位が等しくなる。そうすると、コンデンサ5514bに蓄積していた信号を最終出力線5518に出力することができる。

【0120】但し、最終出力線5518に信号を出力する前に、最終出力線5518に電荷が蓄積されている場合がある。そうすると、該電荷によって最終出力線5518に信号を出力したときの電位は影響を受けてしまう。そこで、最終出力線5518に信号を出力する前に、最終出力線5518の電位を、ある電位値までに初期化することが必要である。

【0121】図8では、最終出力線5518と電源基準線5517bの間に、最終リセット用トランジスタ5517aが設けられている。最終リセット用トランジスタ5517aのゲート電極は、i行目最終リセット線5520に接続されている。また、最終リセット用トランジスタ5517aのソース領域及びドレイン領域は、一方は最終出力線5518に接続され、もう一方は電源基準線5517bに接続されている。

【0122】そして、i行目最終選択線5519を選択する前に、i行目最終リセット線5520を選択し、最終出力線5518の電位を電源基準線5517bの電位に初期化する。その後、i行目最終選択線5519を選択し、最終出力線5518に、コンデンサ5514bに蓄積していた信号を出力する。

【0123】なお、最終出力線5518に出力される信号は、そのまま外部に取り出しても良い。しかし、出力される信号が微弱である場合には、外部に取り出す前に増幅しておくことが好ましい。信号を増幅するための回路として、最終出力増幅用回路101dの回路を図9

(A)、(B)に示す。なお、本実施例では、最も簡単な信号増幅回路として、ソースフォロワ回路を示すが、本発明はこれに限定されない。例えば、演算増幅器など、公知の増幅回路を用いてもよい。

【0124】図9(A)は、nチャネル型のソースフォロワ回路を有する最終増幅回路101dを示す。最終出力増幅用回路101dへの信号の入力は、最終出力線5518を介して行われる。最終出力線5518は、画素部にマトリクス状に設けられており、その1列目からy列目まで順に信号が出力される。

【0125】最終出力線5518から出力された信号は、最終出力増幅用回路101dによって、増幅されて

外部に出力する。最終出力線5518は、増幅用トランジスタ5521のゲート電極に接続されている。増幅用トランジスタ5521のドレイン領域は、電源線520に接続され、ソース領域は出力端子となっている。

【0126】一方、バイアス用トランジスタ5522のゲート電極は、最終出力増幅用バイアス信号線5523に接続されている。バイアス用トランジスタ5522のソース領域とドレイン領域は、一方は電源基準線524に接続され、もう一方は増幅用トランジスタ5521のソース領域に接続されている。

【0127】次いで、図9(B)には、pチャネル型のソースフォロワ回路を有する最終増幅回路101dを示す。最終出力線5518は、増幅用トランジスタ5521のゲート電極に接続されている。増幅用トランジスタ5521のドレイン領域は、電源基準線5520に接続され、ソース領域は、出力端子となる。

【0128】一方、バイアス用トランジスタ5522のゲート電極は、最終出力増幅用バイアス信号線5523と接続されている。バイアス用トランジスタ5522のソース領域とドレイン領域は、一方は電源線520と接続されており、もう一方は増幅用トランジスタ5521のソース領域と接続されている。なお、pチャネル型のソースフォロワ回路を有する図9(B)に示す最終出力増幅用バイアス信号線5523の電位は、nチャネル型のソースフォロワ回路を有する図9(A)に示す最終出力増幅用バイアス信号線523の電位とは異なっている。

【0129】次いで、図8に示すj列目周辺回路のタイミングチャートを図10に示す。なお、本実施例では、一例として、i行目のゲート信号線(Gi)が選択された場合のタイミングチャートを示す。

【0130】はじめに、i行目のゲート信号線(Gi)が選択され、次いでプリ放電信号線5515を選択される。そうすると、放電用トランジスタ5514aが導通状態になる。そして、トランスファー信号線5513が選択されると、それぞれの画素の信号が各列のコンデンサ5514bに出力される。

【0131】そして、各列のコンデンサ5514bに蓄積された信号は、最終出力線5518に順に出力されていく。次いで、1行目の最終リセット線を選択し、最終リセット用トランジスタ5517aを導通状態にし、最終出力線5518を電源基準線5517bの電位に初期化する。その後、1列目の最終選択線を選択し、最終選択用トランジスタ5516を導通状態にし、1列目のコンデンサ5514bの信号を最終出力線5518に出力する。

【0132】次に、2列目の最終リセット線を選択し、最終リセット用トランジスタ5517aを導通状態にし、最終出力線5518を電源基準線5517bの電位に初期化する。その後、2列目の最終選択線を選択し、

最終選択用トランジスタ5516を導通状態にし、2列目のコンデンサ5514bの信号を最終出力線5518に出力する。このようにして、同様の動作を繰り返す。

【0133】次いで、i行目の場合を説明する。はじめに、i行目最終リセット線5520を選択し、最終リセット用トランジスタ5517aを導通状態にして、最終出力線5518を電源基準線5517bの電位に初期化する。その後、i行目最終選択線5519を選択し、最終選択用トランジスタ5516を導通状態にし、i行目のコンデンサ5514bの信号を最終出力線5518に出力する。

【0134】次いで、(i+1)列目の最終リセット線5520を選択し、最終リセット用トランジスタ5517aを導通状態にし、最終出力線5518を電源基準線5517bの電位に初期化する。その後、(i+1)列目最終選択線5519を選択し、最終選択用トランジスタ5516を導通状態にし、(i+1)列目のコンデンサ5514bの信号を最終出力線5518に出力する。

【0135】このようにして、同様の動作を繰り返し、全ての列の信号を最終出力線5518に出力していく。そして、最終出力線5518に出力された信号は、最終出力増幅回路101dで増幅され、外部へ出力されていく。なお、最終出力線5518に信号を出力していく期間においては、バイアス信号線5511の電位は、一定に保たれている。

【0136】なお、本実施例においては、PN型のフォトダイオードを用いた場合について説明したが、本発明はこれに限定されない。光電変換素子には、PIN型のダイオード、アバランシェ型ダイオード、NPN埋め込み型ダイオード、ショットキー型ダイオード、X線用のフォトコンダクタ、赤外線用のセンサなどを用いてもよい。また、蛍光材やシンチレータにより、X線を光に変換した後、その光を読み取るようにしてもよい。

【0137】上述のように、光電変換素子は、ソースフォロワ回路の入力端子に接続されることが多い。しかし、本発明はこれに限定されず、フォトゲート型のようにスイッチを間に挟んでもよいし、対数変換型のように、光強度の対数値なるように処理した後の信号を入力端子に入力してもよい。

【0138】また、本実施例は、実施の形態1乃至実施の形態3と自由に組み合わせることが可能である。

【0139】(実施例2) 本実施例では、画素100に設けられたトランジスタに出力する信号のタイミングについて図11を用いて説明する。なお、本実施例では、一例として図1(A)に示す半導体装置の画素100に設けられたトランジスタに出力する信号のタイミングについて説明する。

【0140】始めに、リセット信号線(R1~Ry)を制御し、リセット用トランジスタ114を導通状態にする。

【0141】次に、光電変換素子111のnチャネル型端子の電位は、電源電位V_{dd}にまで充電される。なお、本発明の半導体装置においては、リセット信号線(R₁~R_y)が電源線の代用をしているので、リセット信号線(R₁~R_y)を電源電位V_{dd}と同じ電位にしておく必要がある。すなわち、画素100がリセットされる。それから、リセット信号線(R₁~R_y)を制御し、リセット用トランジスタ114を非導通状態にする。

【0142】その後、光電変換素子111に光が照射されていると、光強度に応じた電荷が光電変換素子111に発生する。そして、リセットにより充電された電荷が、徐々に放電され、光電変換素子111のnチャネル型端子の電位が低くなっていく。

【0143】図11に示すように、光電変換素子111に明るい光が照射されている場合は、放電される量が多いため、光電変換素子111のnチャネル型端子の電位は低くなる。光電変換素子111に暗い光が照射されている場合は、放電される量が少なく、光電変換素子111のnチャネル型端子の電位は、明るい光が照射されている場合に比べると、あまり低くならない。

【0144】そして、ある時点において、スイッチング用トランジスタ112を導通状態にして、光電変換素子111のnチャネル型端子の電位を信号として読み出す。この信号は、光電変換素子111に照射された光の強度に比例している。そして、再びリセット用トランジスタ114を導通状態にして光電変換素子111をリセットし、上述の動作を繰り返していく。

【0145】但し、非常に明るい光が照射された場合は、光電変換素子111の電荷の放電される量が非常に多いため、光電変換素子111のnチャネル型端子の電位は、非常に低下してしまう。しかし、光電変換素子111のnチャネル型端子の電位は、光電変換素子111のpチャネル型端子、つまり電源基準線121の電位より低くなることはない。

【0146】また、非常に明るい光が照射された場合は、光電変換素子111のnチャネル型端子の電位が低くなっていくが、その電位が電源基準線121の電位まで低くなると、電位は変化しなくなる。このような状況を飽和と呼ぶ。飽和すると、光電変換素子111のnチャネル型端子の電位が変化しなくなってしまうため、正しい光強度に応じた信号を出力できない。よって、正常に動作させるためには、光電変換素子111が飽和しないようにして、動作させる必要がある。

【0147】また、画素100がリセットされてから、信号を出力する時までの期間は、蓄積時間と呼ばれる。蓄積時間とは、光電変換素子の受光部に光を照射し、信号を蓄積している時間のことであり、露光時間ともよばれる。蓄積時間において、光電変換素子111は、光電変換素子111に照射された光によって生成される電荷

を蓄積している。

【0148】よって、蓄積時間が異なると、たとえ同じ光強度であっても、光によって生成される電荷の総量が異なるため、信号値も異なってしまう。例えば、強い光が光電変換素子111に照射された場合は、短い蓄積時間で飽和してしまう。また、弱い光が光電変換素子111に照射された場合であっても、蓄積時間が長いと、いずれは飽和状態に達する。つまり、信号は、光電変換素子111に照射される光の強さと蓄積時間との積によって決定する。

【0149】また、本実施例は、実施の形態1乃至実施の形態3、実施例1と自由に組み合わせることが可能である。

【0150】(実施例3) 本実施例では、図1において説明した光電変換素子と複数のトランジスタを一面素中に設けた半導体装置の断面構造について図12を用いて説明する。

【0151】図12において、6000は絶縁表面を有する基板であり、6001は下地膜である。下地膜6001上には光電変換素子111、増幅用トランジスタ113、スイッチング用トランジスタ112、リセット用トランジスタ114が形成されている。また、駆動回路として、nチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示する。なお、それぞれのトランジスタは公知の如何なる構造のトランジスタを用いてもよい。

【0152】絶縁表面を有する基板6000上に形成された各トランジスタの構造について説明する。増幅用トランジスタ113において、6023はゲート電極、6008はゲート絶縁膜、6037はp型の不純物領域からなるソース領域及びドレイン領域、6042はソース配線、6043はドレイン配線である。

【0153】スイッチング用トランジスタ112において、6024はゲート電極、6008はゲート絶縁膜、6038はp型の不純物領域からなるソース領域及びドレイン領域、6044はソース配線、6045はドレイン配線である。

【0154】リセット用トランジスタ114において、6025はゲート電極、6008はゲート絶縁膜、6019はn型の不純物領域からなるソース領域及びドレイン領域、6030はLDD領域(ライトドープドレイン領域)、6046はソース配線、6047はドレイン配線である。

【0155】光電変換素子111において、6036はp型の不純物領域からなるp型半導体層、6020bはn型の不純物領域からなるn型半導体層、6054は非晶質半導体膜からなる光電変換層(i層)である。

【0156】駆動回路部のnチャネル型トランジスタにおいて、6026はゲート電極、6008はゲート絶縁膜、6021はn型の不純物領域からなるソース領域及

びドレイン領域、6031はLDD領域（ライトドープドレイン領域）、6050はソース配線、6051はドレイン配線である。

【0157】また、駆動回路部のpチャネル型トランジスタにおいて、6027はゲート電極、6008はゲート絶縁膜、6039はp型の不純物領域からなるソース領域及びドレイン領域、6052はドレイン配線、6053はソース配線である。

【0158】そして、増幅用トランジスタ113、スイッチング用トランジスタ112、リセット用トランジスタ114、nチャネル型トランジスタ、pチャネル型トランジスタを覆って、第一層間絶縁膜6041、第二層間絶縁膜6059が設けられている。

【0159】また、本実施例は、実施の形態1乃至実施の形態3、実施例1、2と自由に組み合わせることが可能である。

【0160】（実施例4）実施例3では、半導体装置の断面構造について説明したが、本実施例では、半導体装置を封止してFPCを取り付けた状態について説明する。

【0161】図13（A）は本発明を用いた半導体装置の上面図であり、図13（A）をX-X'面で切断した断面図を図13（B）に示す。図13（A）において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004はゲート信号線駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0162】このとき、少なくとも画素部、好ましくは駆動回路および画素部を囲むようにしてカバー材4009、密封材4010、シーリング材（ハウジング材ともいう）4011（図13（B）に図示）が設けられている。

【0163】また、図13（B）は本実施例の半導体装置の断面構造であり、基板4001、下地膜4012の上に駆動回路部（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している）4013および画素部4014（但し、ここでは説明を簡単にするために光電変換素子とスイッチング用トランジスタのみを図示する）が形成されている。

【0164】公知の作製方法を用いて駆動回路部4013、画素部4014が完成したら、樹脂材料でなる第一層間絶縁膜（平坦化膜）4015を形成する。

【0165】次いで、樹脂材料でなる第二層間絶縁膜4017を形成し、第二層間絶縁膜4017を覆うようにパッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0166】さらに、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング

材）4010が形成される。

【0167】このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0168】また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0169】また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0170】配線4007は、駆動回路4013が有するトランジスタに接続され、また、シーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電気的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電気的に接続される。

【0171】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面（露出面）を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けてもよい。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0172】また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例3と自由に組み合わせることが可能である。

【0173】（実施例5）本発明の半導体装置を用いた電子機器の実施例として、図14を用いて説明する。

【0174】図14（A）は、ラインセンサを用いたハ

ンドスキャナーである。CCD型(CMOS型)のイメージセンサ1001の上には、ロッドレンズアレイなどの光学系1002が設けられている。光学系1002は、被写体1004上の画像がイメージセンサ1001上に映し出されるようにするために用いられる。そして、LEDや蛍光灯などの光源1003は、被写体1004に光を照射できる位置に設けられている。そして、被写体1004の下部には、ガラス1005が設けられている。

【0175】光源1003を出た光は、ガラス1005を介して被写体1004に入射する。被写体1004で反射した光は、ガラス1005を介して、光学系1002に入射する。光学系1002に入射した光は、イメージセンサ1001に入射し、そこで光電変換される。本発明の半導体装置は、イメージセンサ1001に用いることができる。

【0176】図14(B)は、1801は基板、1802は画素部、1803はタッチパネル、1804はタッチペンである。タッチパネル1803は透光性を有しており、画素部1802から発せられる光及び、画素部1802に入射する光を透過することができ、タッチパネル1803を通して被写体上の画像を読み込むことができる。また画素部1802に画像が表示されている場合にも、タッチパネル1803を通して、画素部1802上の画像を見ることが可能である。

【0177】タッチペン1804がタッチパネル1803に触れると、タッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができる。本実施例で用いられるタッチパネル1803及びタッチペン1804は、タッチパネル1803が透光性を有していて、なおかつタッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができるものならば、公知のものを用いることができる。なお、本発明の半導体装置は、画素部1802に用いることができる。

【0178】図14(C)は、図14(B)とは異なる携帯型ハンドスキャナーであり、本体1901、画素部1902、上部カバー1903、外部接続ポート1904、操作スイッチ1905で構成されている。図14(D)は図14(C)と同じ携帯型ハンドスキャナーの上部カバー1903を閉じた図である。

【0179】画素部1902で読み込んだ画像信号を、外部接続ポート1904から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、パソコンにおいて画像を補正、合成、編集等を行うことも可能である。なお、本発明の半導体装置は、画素部1802に用いることができる。

【0180】また、本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルスチルカメラ、ノー

ト型パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)などが挙げられる。

【0181】図14(E)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の半導体装置は表示部2602に用いることができる。

【0182】図14(F)はモバイルコンピュータ(情報携帯端末)であり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の半導体装置2302に用いることができる。

【0183】図14(G)は携帯電話(携帯端末)であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の半導体装置は表示部2703に用いることができる。

【0184】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0185】

【発明の効果】本発明の半導体装置を用いることにより、電源線が必要なくなるため、従来の半導体装置に比べて、パネル作成プロセスにおけるマスク枚数や工程数の増加を伴うことなく、より高い開口率を実現することが出来る。あるいは、従来通りの開口率であれば、その分、信号線を太くすることが出来るため、抵抗率が下がり、クロストークなどを低減することが出来、画質の向上を実現することが出来る。

【0186】

【図面の簡単な説明】

【図1】 本発明の半導体装置の画素の回路図を示す図。

【図2】 本発明の半導体装置の画素の回路図を示す図。

【図3】 本発明の半導体装置の画素の回路図を示す図。

【図4】 本発明の半導体装置の画素の回路図を示す図。

【図5】 本発明の半導体装置の概略図を示す図。

【図6】 従来の半導体装置の画素の回路図を示す図。

【図7】 従来の半導体装置の画素の回路図を示す図。

【図8】 半導体装置のソース信号線駆動回路を説明する図。

【図9】 半導体装置のソース信号線駆動回路を説明する図。

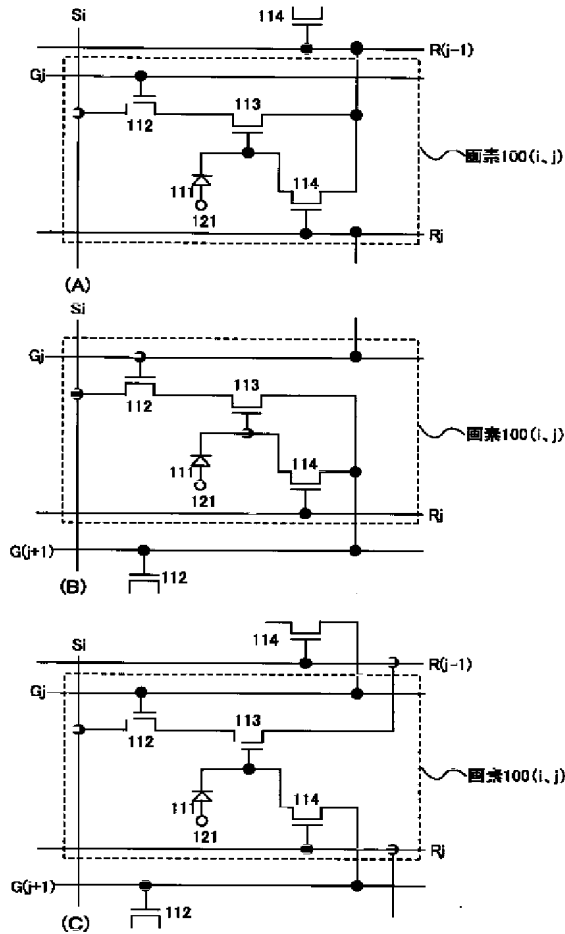
【図10】 半導体装置のソース信号線駆動回路を説明

する図。

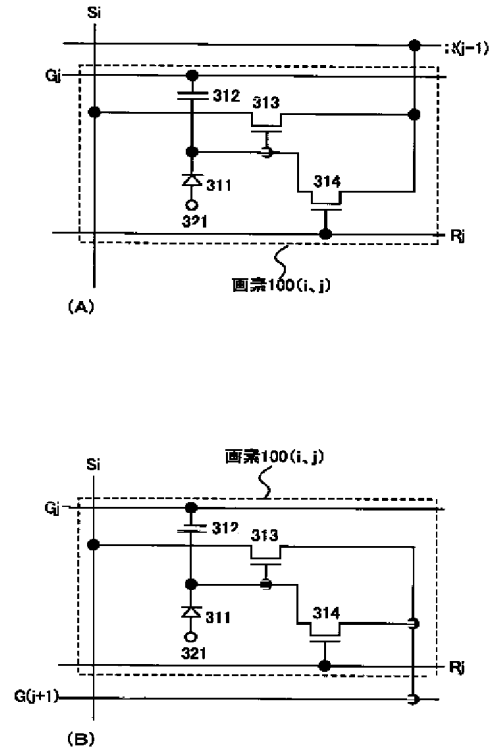
【図11】 画素に出力する信号のタイミングチャートを示す図。

【図12】 本発明の半導体装置の断面構造を示す図。

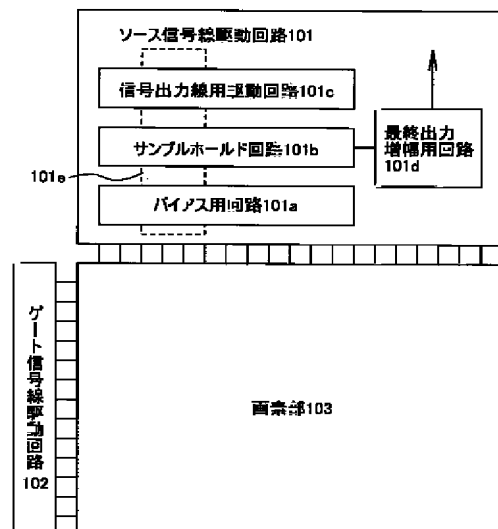
【図1】



【図2】



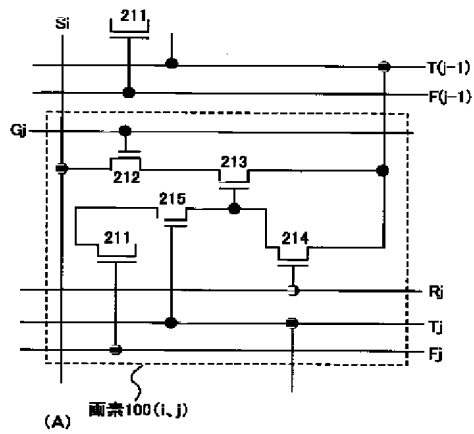
【図5】



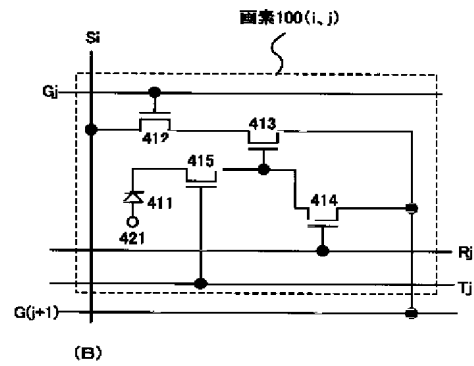
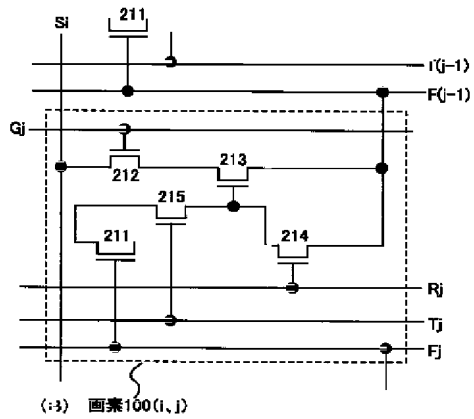
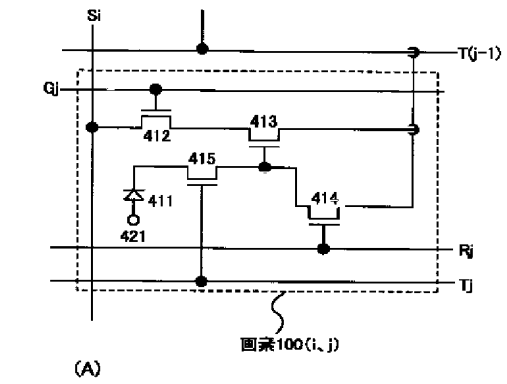
【図13】 本発明の半導体装置の上面図および断面図。

【図14】 本発明の半導体装置が適用可能な電子機器の一例を示した図。

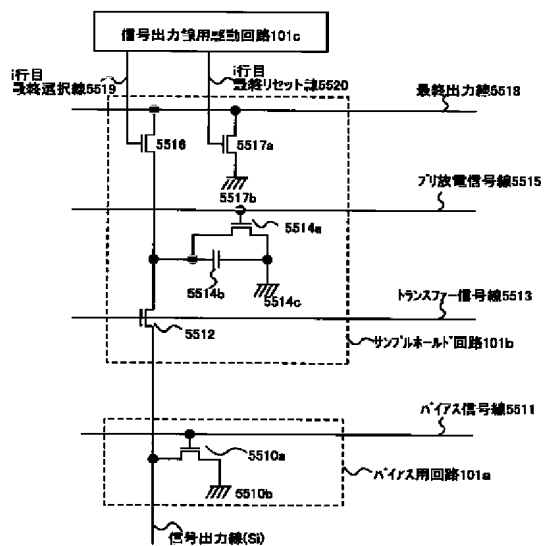
【図3】



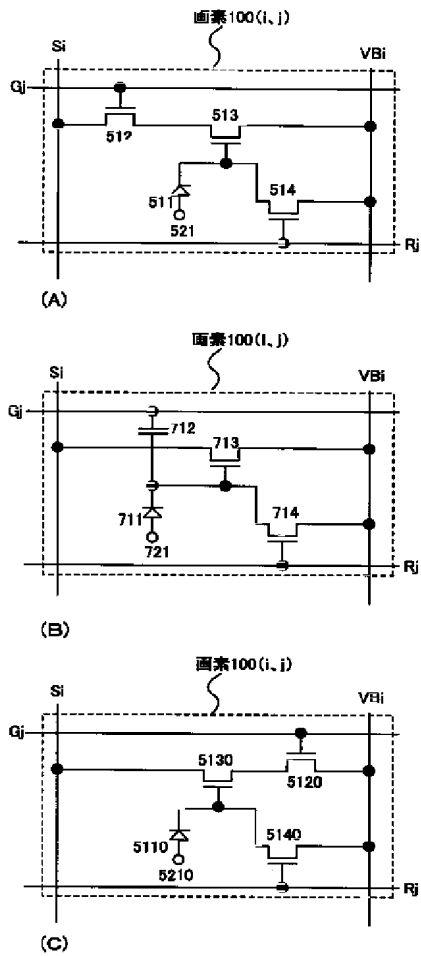
【図4】



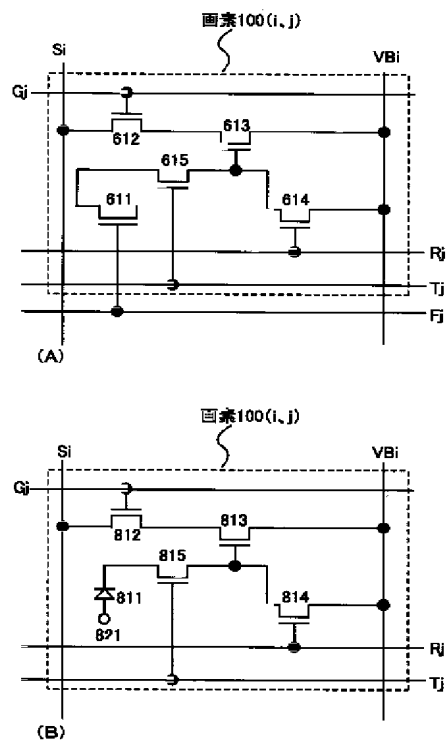
【図8】



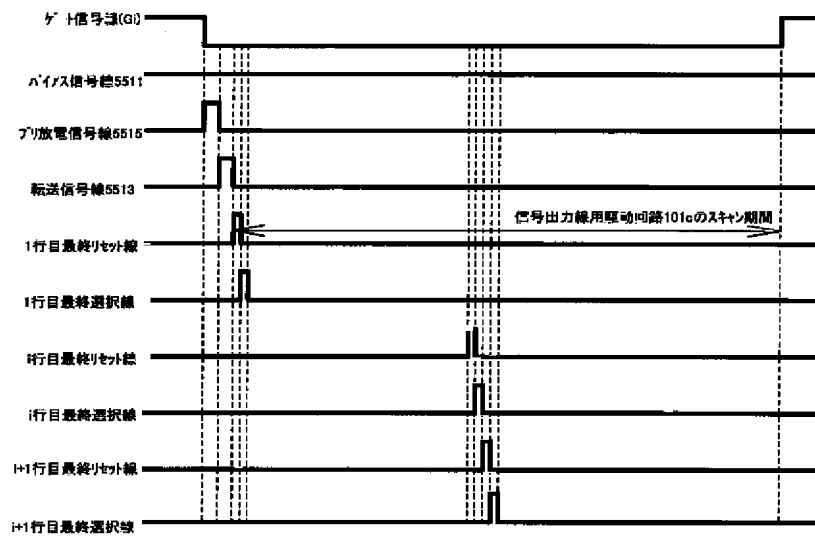
【図6】



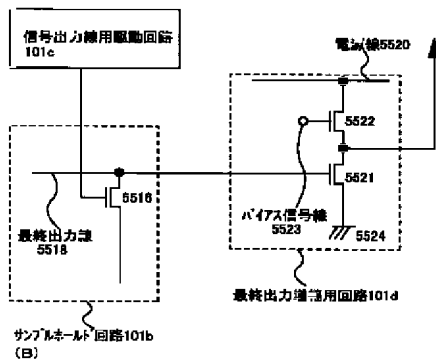
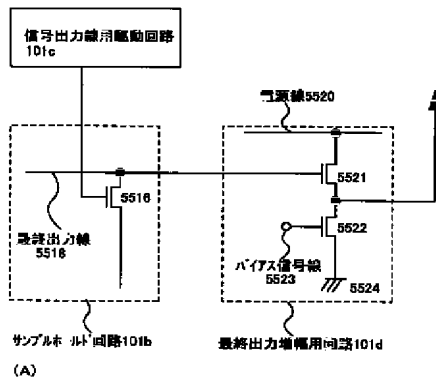
【図7】



【図10】

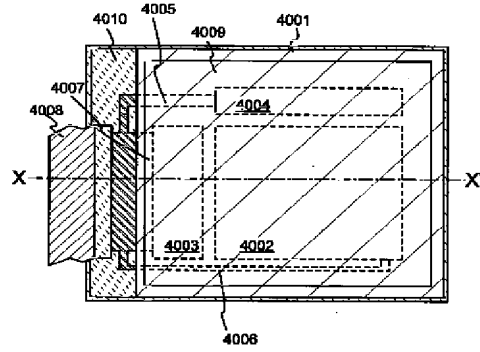


【図9】

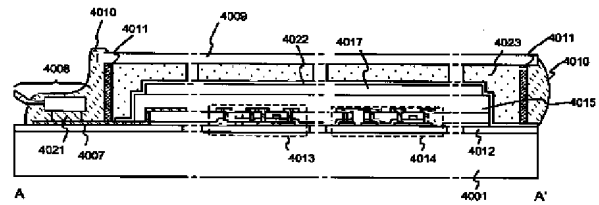


【図13】

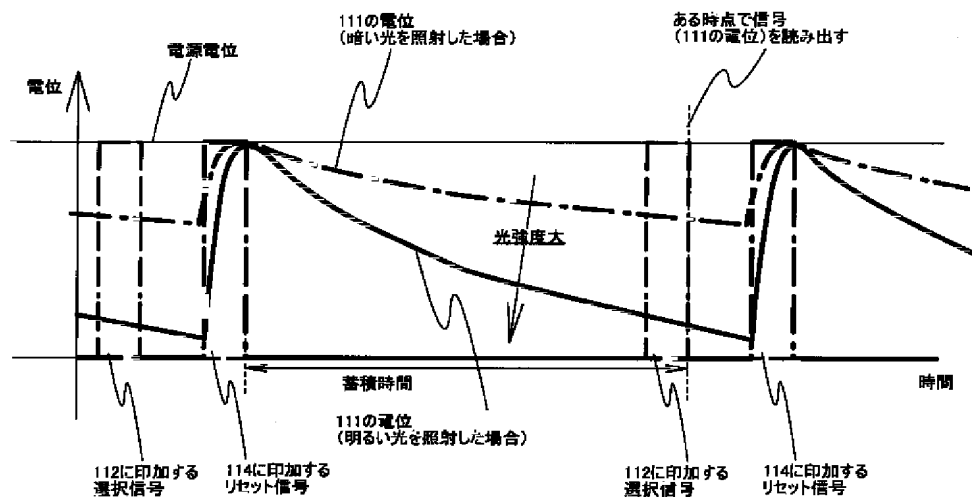
(A)



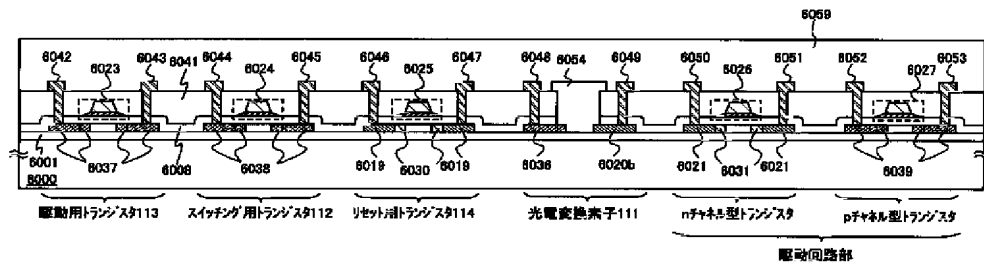
(B)



【図11】



【図12】



【図14】

